

⑫公開特許公報 (A)

昭54-114973

⑯Int. Cl.²
H 01 L 23/48識別記号 ⑯日本分類
99(s) C 13厅内整理番号 ⑯公開 昭和54年(1979)9月7日
7357-5F発明の数 1
審査請求 未請求

(全 5 頁)

⑯半導体装置

⑯特 許 願 昭53-21634
 ⑯出 許 願 昭53(1978)2月28日
 ⑯發 明 者 阿部剛弓
 川崎市幸区小向東芝町1 東京

芝浦電気株式会社トランジスタ
工場内
 ⑯出 許 人 東京芝浦電気株式会社
 川崎市幸区堀川町72番地
 ⑯代 理 人 弁理士 則近憲佑 外1名

明 細 譲

1. 発明の名称 半導体装置

2. 特許請求の範囲

(1) テープ状絶縁性基板と、この基板上に接着された金属膜により形成されたインナーリードとそのリードの先端にバンプをもつて接続された半導体チップから成る半導体装置について、前記バンプが前記リードと同一材料の肉厚部分で形成されてなる事を特徴とする半導体装置。

(2) バンプがインナーリードの先端を折り曲げて形成されてなる事を特徴とする前記特許請求範囲(1)の半導体装置。

3. 発明の詳細な説明

本発明はフィルムキャリア方式による半導体チップのポンディング方式に関するものです。

一般にフィルムキャリア方式のポンディングは第1図に示す様にフィルム状の基板(1)にインナーリード(2)が接着形成され、これらフィルムをポンディング機械により巻き取り送り込みながらインナーリード(2)のリード先端部に、半導体チップ(3)をフリ

ツプチップによりポンディングします。

このフィルムキャリア方式は別名ミニモードとも言われ、従来のポンディング方式に比べ装置の大きさを小さく形成できる事を可能とし、時計、電卓、コンピューター等に使用されるマルチチップを簡単に安価にファイイスポンディングする事を特徴とするものです。従つて今後とも装置の特性上、製造上からも簡略化・廉価化に向つて改良が求められています。

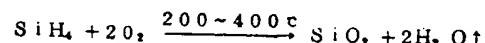
ここで、上記のリードフレームは、第1図第3図に示す様に、フィルム状のフレキシブルな絶縁性基板(4)例えば厚さ125μのポリイミドに、まず半導体チップ(3)を挿入するための孔部(5)を最大3mm口幅度を打ちねきます。次にこれらの上から金属箔(6)を、例へばCu箔を30-35μの厚さで、ラミネートコーティングします。次にこの金属箔(6)に写真蝕刻を施して幅50-100μのインナーリード(2)を形成し、そのインナーリードの先端が1-3mm孔部の中に突出する様にします。さらに、このインナーリード金属箔の上をスズ(Sn)メッ

キ層(7)数μで被覆してあります。

一方、半導体チップ(3)は第2図(a)(b)に示す様に、チップ表面の周囲を酸化硅素膜(8)(SiO₂)で覆われた電極部から、Al配線(9)により、電極を引き出して来ると共に、これらの表面を約1μのガラス膜(10)で覆い保護します。次にこのガラス保護膜(10)の所定位置、(つまり、前記した孔部で突出したリード先端の位置で)に、あけた孔から、Al配線(9)の上にアルミニウム(Al)(11)、スズ(Sn)あるいは金(Au)(12)等の金属を盛つて、リードと接続するためのバンプ(Bumps)を形成してあります。最後にこの半導体チップ(3)を第1図、第3図の様にバルブ(11)(12)とスマーチキ層(7)との間で合金化してインナーリード(2)に接合されます。

この保護ガラス膜(10)はその内部に特性劣化となる可能性のNa⁺などがないこと、及びこれらを拡散透過させない材料である必要があります。又、エッチングにより容易に窓開きが可能で、下の電極金属層(9)(13)が侵食されないエッチング液の選択も必要です。ガラス膜の生成は真空蒸着法、スパ

ッタリング法、沈殿焼結法及びCVD法などでつくられます。真空蒸着法では、バイレックスボロシリケートガラスなどが用いられ、組成によりシリコンに近似した熱膨張係数のものが得られます。沈殿焼結法は0.1μ程度のガラス粉末を酢酸エチル、イソプロピルアルコールの混合液に混ぜ合せ、ウェハ上に塗布し、ガラス軟化温度で焼結します。その他、CVD法のうち、反応温度の低い



を用いれば、Alの電極が存在してもガラス膜の生成が可能です。

バンプ(11)(12)は平面にあるリードパターン(2)との接着力が容易になるように5~10μの高さをもつもので、一般にはAl蒸着あるいは半田チップによつて形成します。チップの相互配線がAlの場合はバンプもAl(11)が用いられます(第3図(a))。半田チップの場合は基板にAl電極の使用が不可能で、他の金属(13)による多層配線電極が採用されます。(第3図(b))

第3図(b)の半田バンプ(11)はスズ(Sn)あるいは金(Ag)が使われます。又、下地の配線電極(13)にはCr-Ni:Ti-Ag-TiあるいはNi-Crの層などが使われています。(9)はAl電極です。

この様に、半導体チップ(3)にバンプを形成させるためには通常のAl電極(9)まで形成した集積回路では付加価値の高い状態になつています。そのためバンプ処理による収率のいかんによつてはバルブ附着後の生産原価は非常に高いものとなつてしまつ危険があります。特にAl電極までのコストの高い高集積高機能のチップ程、その傾向が強いです。さらに、多種類の被膜を使用するため、前記しました様にAl層に対する選択条件や、SiO₂膜に対する選択条件、保護ガラス膜に対する選択条件、半田に対する選択条件など、それぞれの膜の間で制限されるため、膜の材質を自由に選んで安価に製造する事には限界が有ります。

又、その製造過程も多くやはり高価になるばかりか、製造工程中で外部からの素子への影響が有ります。このため一般のフェースダウンボンディング

では、リード側に電極被膜の突起を附着して、これにペレットをポンディングするペデスタル方式もあります。がミニモードの場合、ペレット(3)を基板(1)にあけた孔部(5)に挿入して装置の大きさを小さくするため、この1~3mmの小さな孔部(5)に突き出た幅100μ、長さ3mmという小さなりードの先端定位に電極被膜の5~10μと云う突起を正確に附着する事は非常に困難であります。又、この場合に於ましても、リードの金属(16)(Cu)に対する選択条件という問題も有り、従来一般のペデスタル方式に於ましてもペレット側になんらかの突起電極を形成してリード側のペデスタルと合金化する方法がとられています。

本発明はこれらの欠点を簡単なる方法で除き、簡略なるミニモードを得、これによつて従来に比べて非常に安価なる半導体装置を提供するものであります。そのため本発明では、孔部(5)に突出たリード(2)の先端部をリードと同一材料をもつて肉厚に形成し、これをバンプとして半導体ペレット(3)を接続します。(第1図 第4図)

これによりミニモードの場合では上記の様な半導体ペレットへのバンプの形成まつたくは不用でAL電極層(9)唯で良い結果が得られます。又、同一材料でリード則にバンプを形成するので材料選択の必要もなく、リードを形成すると同時に形成する事も出きます。従いまして1~3μ口の小さな孔(5)を有する目標に向つて突起電極(Bumps)を蒸着する事の困難性も除かれます。

この場合、バンプを形成するには、フィルム状絶縁基板(4)ICペレット挿入用の孔(5)を形成した後、これらの上からCu箔(6)をDepoあるいは電界メッキなどで厚目に被着し、このラミネートコートング層に写真蝕刻を施し、インナーリードを形成する時に、リードの先端を残して他の塩化第2鉄でエッティングする事により可能であります。又、以下の実施例により説明する機械的な方法です。順次をおつて半導体装置のポンティング第1、第4、第5図で説明します。まず

(1) 接着剤付の1.2.5μ厚ポリアミドフィルム(4)IC3μ口のデバイス孔(5)をあけ次にフィルムの

片面全面にCu箔(6)を30~35μの厚さでラミネートコーティングします。これをCu箔をDepした場合には数百℃でアニールすると良好です。次に塩化第2鉄液を使用つて写真蝕刻法にて、このCu箔で幅50~100μで長さ3.5μのデバイス孔(5)に突き出たインナーリード(2)を形成します。この場合は幅はチップ(3)のバンプ幅に等しく及び長さは従来よりも200~500μ程度長めに突出さす事が重要です。厚さは従来と変わりありません。(第5図(a))

(2) 次に第5図(a)の様な型のツール(I)(14)を用いリード(6)の先端部のみを200~500μの幅で90°に下方に折り曲げます。この場合ツール(I)の上型の両側と下型でCu箔をしつかりとおさえると共に、上型中央が数mmの力で下まで降りて行きます。下型凹部の幅は1mm程度で、内側角部は4.5°の円錐でラウンドベベルされています。上型中央のツールの幅は下型凹部の幅よりも、両側からリード厚より少し大きさ50μづつ細くなっています。

(3) 次に第5図(b)の様な型のツール(II)(15)を用い

て、リードの先端を更に内側に向つて90°に折り曲げます。つまり第5図(a)の状態に対しては180°に折り曲げる事になります。更にCu箔が折曲げ部分で内側が相互に圧着する様に加圧します(第4図)。ここで特に重要な点は折曲げ部分でのCu箔相互の圧着が完全に行なわれる事です。これは、この部分に隙間が有ると後のAuメッキ(10)が入りこんで素子特性にバラツキが出るためです。そのためこの場合、一旦リードの先端を180°に折り曲げてから、さらに数mm力で先端部を押圧します。ここでツール(I)(14)は凶の様に平らな上型の中央に孔があけられています。下型にはこの孔に向つて挿入するよう突起が段階的に出ています。この突起と次の平らな段階の間はラウンド又は斜に傾斜させてなり、この側面で90°に曲つたリードの先端をすべらしながら、下の平な面に向つて押圧し180°に折り曲げて行きます。最後は上型と下型のこの平な面でリードの先端部を挟みます。従つてこの平な面の先端が最終的な突き出たリードの先端の位置とほぼ一致します。これを上

型、下型両方とも数mmの押圧力で押してゆき最終的に上下の平な面でリード全体をも挟む事になりますので、前のツール(I)(14)の段階で全体にそつたリードを矯正します。

(4) 次に折曲げ部を含むCu箔(6)露出部にNiメッキを0.5~1μ厚で施し、次にその上からAuメッキ(10)を1~3μ厚でメッキします。

この場合Auメッキ(10)は折曲げ部先端のみでも充分で、これにより単価はさらに安くなります。Auメッキ(10)厚は1μ以上あれば充分です。(第4図)

(5) 次に第4図の様に通常の半導体チップ(3)のAL配線電極(9)とリードの折曲げバンプ部とを位置合わせし、熱圧着か超音波振動によつて接合します。この場合、AL電極(9)が合金化して導接します。これは従来一般の集積回路で行なわれるAL電極にAuワイヤーのポンティングと同じで良い特性を得る事が可能です。

(6) 以後、レジンにて全体をキャスティング又はモールドして装置を完成します。

(7) ... Sn メッキ層 (8) ... SiO₂ (9) ... Al
 (10) ... ガラス保護膜 (11) ... Al バンプ
 (12) ... 半田バンプ
 (13) ... Ni-Cr 層、Ti-Ag-Ti 層
 (14) ... ツール(I) (15) ... ツール(II)

以上の様に本発明によれば簡単なる方法で半導体チップ側にバンプを形成せずにポンディングが可能で、Al の様なものを半導体チップ側に使用せずにいられます。従つて装置の特性上にも良い効果が得られる事は明らかです。

4. 図面の簡単な説明

第1図は一枚のミニモードのポンディング状態を示した図。

第2図(a)は従来のAlバンプを形成した半導体チップを示した図で(b)図は半田バンプを示した図です。

第3図は従来方法によつて半導体チップをポンディングした図です。

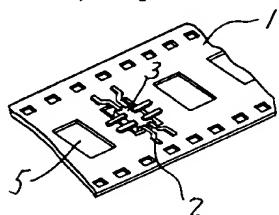
第4図は本発明によつて半導体チップをポンディング

第5図(a)(b)は本発明のリードフレーム先端にバンプ部を形成する工程を示した図です。

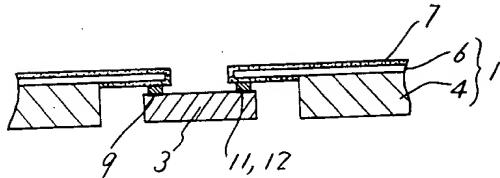
(1) ... フィルム状基板 (2) ... インナーリード
 (3) ... 半導体チップ (4) ... ポリアミド
 (5) ... 孔部 (6) ... Cu箔

(7317) 代理人 弁理士 則 近 豊 佑
 (ほか1名)

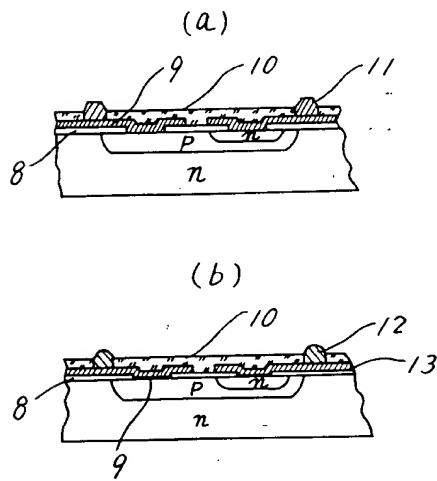
第1図



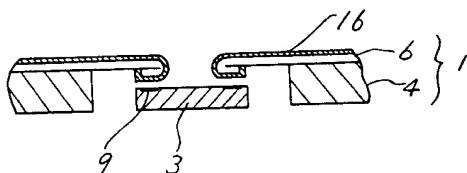
第3図



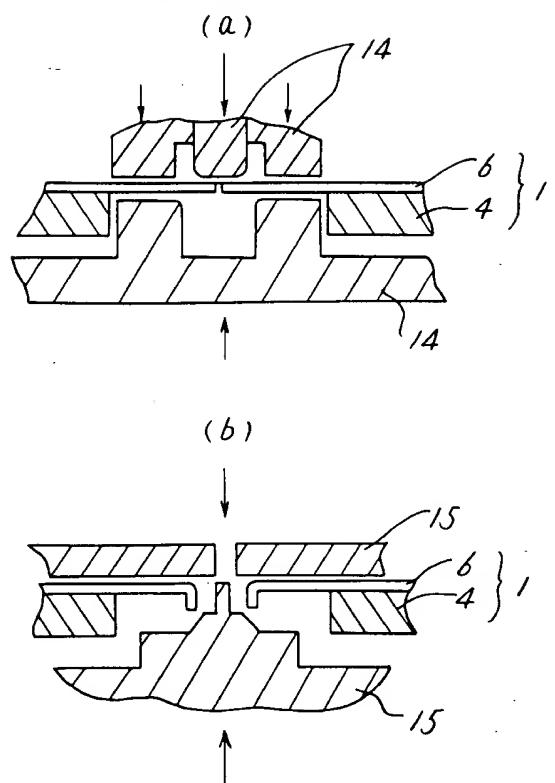
第2図



第4図



第 5 図



(54) SEMICONDUCTOR DEVICE PROVIDED WITH FILM BASE MATERIAL

(11) 3-295263 (A) (43) 26.12.1991 (19) JP

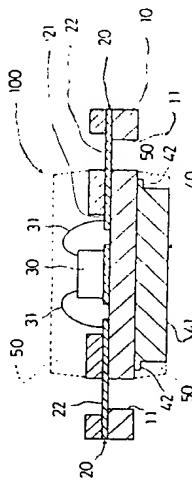
(21) Appl. No. 2-98009 (22) 13.4.1990

(71) IBIDEN CO LTD (72) YOJI YANAGAWA(3)

(51) Int. Cl^s. H01L23/50, H01L21/60, H01L23/29

PURPOSE: To improve a semiconductor device in heat dissipating property and reliability of bonding connection by a method wherein a film base material located nearly at a center is reinforced with a reinforcing material.

CONSTITUTION: A reinforcing material 40 is provided in one piece to the side of a film base material 10 opposite to its side where an electronic component 30 is mounted. The reinforcing material 40 is larger than the inner leads 21 of the leads 20 in area and formed of a metal plate of copper or the like, and the joints of the inner leads 20 with bonding wires 31 are backed up with the reinforcing material 40 from its side opposite to the film base material 10. Furthermore, the reinforcing material 40 is provided with a cutout 42 formed by protruding the peripheral part of the reinforcing material 40 in contact with the film base material 10, a sealing resin 50 is formed on the cutout 42 in one piece, and the face of the reinforcing material 40 opposite to its side which faces the electronic component 30 is exposed out of the sealing resin 50.



11: opening, 22: outer lead, 40: exposed surface, 100: semiconductor device

(54) MULTICHIP SEMICONDUCTOR DEVICE

(11) 3-295264 (A) (43) 26.12.1991 (19) JP

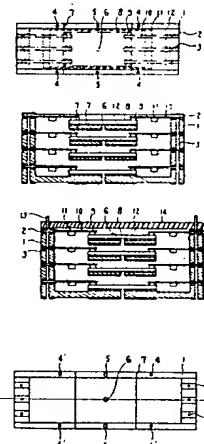
(21) Appl. No. 2-96422 (22) 13.4.1990

(71) HITACHI LTD (72) TOSHIHARU ISHIDA(1)

(51) Int. Cl^s. H01L25/065, H01L23/28, H01L25/07, H01L25/18

PURPOSE: To enable a multichip semiconductor device to be sealed up with resin by a method wherein a lowermost assembly frame is formed into a recessed box shaped frame provided with no opening, and an upper frame is formed into an open type frame provided with an opening.

CONSTITUTION: A lowermost assembly frame 1 formed of a glass epoxy board is mounted on a assembly jig taking advantage of pins provided to the assembly jig and assembly aligning holes 4 and 4' provided to the frame 1, and a TAB 8 is mounted thereon to align. Furthermore, a procedure in which an upper frame is placed thereon and a TAB 8 is mounted is successively repeated n times so as to constitute an n-stage laminate. Epoxy resin possessed of glass transition temperature of 140°C is injected through the surface of an upper frame and filled up to an outer lead connection terminal 2 of the uppermost frame. Moreover, an insulating lid 14 provided with an electrode pin 13 is mounted on a resin sealed part corresponding to the uppermost frame outer lead joined part and hermetically sealed up so as to improve the jointed part in pressing effect and moisture resistance.



(54) MULTICHIP SEMICONDUCTOR DEVICE

(11) 3-295265 (A) (43) 26.12.1991 (19) JP

(21) Appl. No. 2-96423 (22) 13.4.1990

(71) HITACHI LTD (72) TOSHIHARU ISHIDA(1)

(51) Int. Cl^s. H01L25/065, H01L25/07, H01L25/18

PURPOSE: To prevent the rise in temperature of a multichip semiconductor device by a method wherein heat released from a semiconductor element in operation is dissipated through a through-hole via a heat dissipating metallized plate or a radiating plate of each stage so as to keep an operating temperature at 100°C or below.

CONSTITUTION: A second assembly frame 1 is mounted on a film carrier semiconductor device, furthermore an assembly frame 1 is mounted thereon and so on to form an n-stage laminate. In succession, the laminated body is subjected to an interlayer connection process corresponding to materials, where connecting terminals 2 and 2', outer leads 9, and heat dissipating metallized plates 4 are connected together. The heat dissipating metallized plates 4 is formed of the same metal with the connecting terminals 2 and 2'. In this case, a solder-solder bonding is carried out. One side of a solder plated heat dissipating metal plate 13 is brought into contact with the surface of a potting sealing resin, and the other side is bonded to a heat dissipating metallized layer 4 formed on the rear of the assembly frame 1 in a solder solder-bonding manner, which is mounted on a printed wiring board 14. Heat released from a semiconductor element in operation is dissipated through the uppermost heat dissipating plate 13, or dissipated into the air from the assembly frame 1 via an outer lead or a heat dissipating metallized layer.

